



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10012830 A**(43) Date of publication of application: **16.01.98**

(51) Int. Cl.

**H01L 27/10**  
**H01L 27/04**  
**H01L 21/822**  
**H01L 27/108**  
**H01L 21/8242**  
**H01L 21/8247**  
**H01L 29/788**  
**H01L 29/792**

(21) Application number: **08158101**(22) Date of filing: **19.06.96**(71) Applicant: **SONY CORP**

(72) Inventor: **WATABE KOJI**  
**TANAKA NAOHIRO**

**(54) FERROELECTRIC CAPACITOR STRUCTURE  
 AND ITS MANUFACTURE**

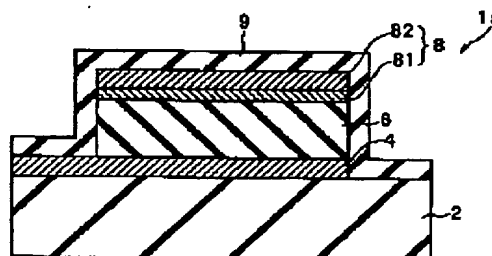
(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent generation of deterioration due to annealing in a hydrogen gas atmosphere, by making an upper electrode layer in a lamination structure of an electrode layer and a conductive protective layer composed of oxide conductive material.

**SOLUTION:** An upper electrode 8 has the lamination structure of an electrode layer 82 and a protective layer 81. The protective layer 81 is a layer protecting an inner ferroelectric layer 6 from reduction which is to be caused by hydrogen gas passing the electrode layer 82 at the time of heating in a hydrogen gas atmosphere, and composed of oxide conductive material. This material has conductivity, can constitute the electrode 8 of lamination structure when the lamination structure with the electrode layer 82 is formed, is oxide easy for reduction, and can protect the inner ferroelectric layer 6 from reduction by hydrogen gas because the material itself is reduced by the hydrogen gas. When the protective layer 81 is reduced, it acts as an electrode because it is changed to metal having conductivity.

Thereby the protective layer 81 effectively functions as a protective electrode layer of the inner ferroelectric layer 6.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12830

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/04			27/04	C
21/822			27/10	6 5 1
27/108			29/78	3 7 1
21/8242				

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平8-158101

(22) 出願日 平成8年(1996) 6月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 渡部 浩司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 田中 均洋

東京都品川区北品川6丁目7番35号 ソニー株式会社内

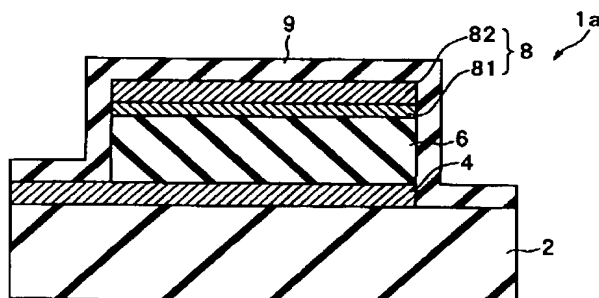
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 強誘電体キャパシタ構造及びその製造方法

(57) 【要約】

【課題】 水素ガス雰囲気中でのアニールで劣化が生じない強誘電体キャパシタ構造及びその製造方法を提供する。

【解決手段】 下部電極層4、強誘電体層6、上部電極層8の順に積層された構造を有する強誘電体キャパシタ構造において、上部電極層8を、電極層81と酸化物導電性材料からなる導電性保護層82との積層構造とする。



## 【特許請求の範囲】

【請求項 1】 下部電極層、強誘電体層、上部電極層の順に積層された構造を有する強誘電体キャパシタ構造において、

該上部電極層が、電極層と酸化物導電性材料からなる導電性保護層との積層構造であることを特徴とする強誘電体キャパシタ構造。

【請求項 2】 上記酸化物導電性材料が、ルチル構造の化合物又はペロブスカイト構造の化合物である請求項 1 記載の強誘電体キャパシタ構造。

【請求項 3】 酸化物導電性材料が、短周期型周期表において 8 族元素を含む元素の酸化物である請求項 1 記載の強誘電体キャパシタ構造。

【請求項 4】 強誘電体層が、ペロブスカイト結晶構造が酸化ビスマスの層でサンドイッチされた層状構造を有する請求項 1 記載の強誘電体キャパシタ構造。

【請求項 5】 下地層の上に、下部電極層、強誘電体層、及び酸化物導電性材料からなる還元防止層と電極層との積層構造を有する上部電極層を順次積層する工程と、水素ガスを含む雰囲気ガス中で熱処理する行程とを有することを特徴とする強誘電体キャパシタ構造の製造方法。

【請求項 6】 下地層の上に、下部電極層、強誘電体層、及び金属膜と電極層との積層構造を有する上部電極層を順次積層する工程と、酸素を含む雰囲気中で加熱して強誘電体層の結晶化と同時に上記金属膜を酸化して還元防止層を形成する工程と、水素ガスを含む雰囲気ガス中で熱処理する行程とを有することを特徴とする強誘電体キャパシタ構造の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、強誘電体不揮発性メモリのキャパシタなどとして用いられる強誘電体キャパシタ構造及びその製造方法に関する。

## 【0002】

【従来の技術】 強誘電体メモリは、強誘電体薄膜の高速な分極反転とその残留分極を利用する高速書き換えが可能な不揮発性メモリである。強誘電体メモリに用いられるキャパシタ構造としては、例えば図 5 に示すものが一般的である。このキャパシタ 100 は、酸化シリコンなどの絶縁層 101 の上に、白金膜などから構成される下部電極層 103、PZT 等の鉛系化合物や  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  等の強誘電体層 105、及び白金膜などから構成される上部電極層 107 が順次積層されて構成され、更に絶縁層 109 で覆われている構造を有する。

【0003】 強誘電体キャパシタは、上部電極 107 と下部電極 103 間にバイアス電圧を印加し、強誘電体層 105 に誘電分極を生じさせ、その分極の向きにより情

報の記録を行う。即ち、データの書き込みと読み出しは、図 6 に示すような強誘電体の P-E ヒステリシスループを利用する。強誘電体層に外部電界を加えた後、外部電界を除いたとき、強誘電体層は自発分極を示す。この場合、強誘電体層の残留分極は、プラス方向の外部電界が印加されたとき  $+P_r$ 、マイナス方向の外部電界が印加されたとき  $-P_r$  となる。ここで、残留分極が  $+P_r$  の状態 (D 点) の場合を “0” とし、残留分極が  $-P_r$  の状態 (A 点) の場合を “1” とする。“1”、“0” の状態を判別するため、強誘電体層に例えばプラスの方向の外部電界を印加する。このとき、データが “0” であれば、強誘電体層の分極は、点 D から点 C の状態に変化する。一方、データが “1” であれば、強誘電体層の分極状態は、点 A から点 B を経由して点 C の状態に変化する。データが “0” の場合には、強誘電体層の分極反転は生じないが、データが “1” の場合には強誘電体層に分極反転が生じる。その結果、強誘電体キャパシタの蓄積電荷量に差が生じる。この蓄積電荷を信号電流として検出するものである。そのため、強誘電体キャパシタの蓄積電荷量の変化を検出する方式の不揮発性メモリでは、強誘電体層の残留分極  $\pm P_r$  を高くし、かつ高い状態に維持することが重要である。

## 【0004】

【発明が解決しようとする課題】 しかしながら、強誘電体不揮発性メモリのキャパシタ形成後に、劣化したトランジスタの特性を回復させるため、フォーミング・アニールを行っている。このフォーミング・アニールは、温度が  $420 \sim 450^\circ\text{C}$ 、雰囲気ガスが水素 5% + 窒素 95%、時間は 1 時間程度である。このアニール後に、図 7 (a) に示す初期状態から同図 (b) に示すように  $\pm P_r$  が互いに接近し、図 8 に示すように、強誘電体キャパシタの残留分極値がフォーミング・アニール後に 31% も劣化する場合がある。そのため、このような強誘電体キャパシタの特性の劣化を防止する必要がある。

【0005】 本発明は、上記事情に鑑みなされたもので、水素ガス雰囲気中でアニールで劣化が生じない強誘電体キャパシタ構造及びその製造方法を提供することを目的とする。

## 【0006】

【課題を解決する手段】 本発明は、上記目的を達成するため、下部電極層、強誘電体層、上部電極層の順に積層された構造を有する強誘電体キャパシタ構造において、該上部電極層が、電極層と酸化物導電性材料からなる導電性保護層との積層構造であることを特徴とする強誘電体キャパシタ構造を提供する。

【0007】 また、本発明は、上記目的を達成するため、下地層の上に、下部電極層、強誘電体層、及び酸化物導電性材料からなる還元防止層と電極層との積層構造を有する上部電極層を順次積層する工程と、水素ガスを含む雰囲気ガス中で熱処理する行程とを有することを特

微とする強誘電体キャパシタ構造の製造方法を提供する。

【0008】本発明の強誘電体キャパシタ構造は、上部電極層として、電極層と酸化物導電性材料からなる保護層との積層電極構造としたものである。上記フォーミング・アニール時に、水素ガスが上部電極層を通して内部の強誘電体層を還元し、そのために強誘電体層が劣化するという見地から、酸化物層を電極層と直接接するように配置形成し、酸化物層自身が水素ガスにより還元されることで、内部の強誘電体層を水素ガスから保護できること、酸化物として導電性を有するものを選択することで、電極層との積層電極として機能できることを見出した。

【0009】また、ルチル構造やペロブスカイト構造の化合物は導電性を有し、かつ水素により還元されても、金属に戻って導電性を有し、酸化物、還元形態のいずれにおいても導電性を有することから、保護層の機能を有する電極構造を構成することができる。

【0010】本発明の強誘電体キャパシタの製造方法は、上部電極として、電極層と上記保護層との積層構造を形成しているの、上部電極層形成後のフォーミング・アニールにおいて強誘電体層が還元されず、劣化が生じることを防止することができる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について説明するが、本発明は下記の実施形態に限定されるものではない。図1、図2は、本発明の強誘電体キャパシタ構造の形態を示す断面図である。図1の強誘電体キャパシタ構造1aは、酸化シリコンなどの絶縁層から構成される下地層2の上に下部電極層4、強誘電体層6、上部電極層8の順に積層した構造を有し、上部電極層8は、強誘電体層6側から保護層81と電極層82との積層構造となっている。このキャパシタ1aは絶縁層9に覆われている。一方、図2の強誘電体キャパシタ構造1bは、上部電極層8が、強誘電体層6側から電極層82と保護層81の順に積層された積層構造である点を除き、図1の強誘電体キャパシタ構造1aと同様である。

【0012】下地層2として、例えば酸化シリコン、アルミナ、窒化シリコン、NSG (Non-doped Silicate Glass)、BPSG、BSG、シリコンなどの半導体基板等が挙げられる。下地層の形成方法は、例えば基板の熱酸化、あるいはCVD法等により形成することができ、また、基板自体でも良い。

【0013】下部電極層4としては、例えば白金、白金合金、イリジウム(Ir)、IrO<sub>y</sub>等で構成することができる。また、下部電極層4として、下地層2の酸化シリコンなどとの密着性を向上させるため密着層としてTi膜などを下地層2との間に介在させて、電極層と密着層との積層電極構造とすることもできる。電極層4の厚さは、例えば100~200nm、密着層の厚さは2

0~30nm程度とすることができる。下部電極層、密着層は、各々例えばスパッタリング法、MOCVD (有機金属CVD) 法等で成膜することができる。

【0014】また、強誘電体の種類としては、PbZr<sub>y</sub>Ti<sub>1-y</sub>O<sub>3</sub>、PbTiO<sub>3</sub>等の鉛系化合物、SrBi<sub>12</sub>Ta<sub>2</sub>O<sub>9</sub>、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>等のビスマス系層状構造ペロブスカイト型、Ba<sub>1-z</sub>Sr<sub>z</sub>TiO<sub>3</sub>、BaMgF<sub>4</sub>等を例示することができる。これらの強誘電体は、例えばアルコキッドを原料としたMOD法、CVD法、MOCVD法、レーザーアブレーション法、スパッタリング法等で堆積した後、必要により酸素を含む雰囲気下でアニーリングすることにより形成することができる。強誘電体層6の厚さは、例えば200~300nm程度とすることができる。

【0015】上部電極8は、本発明の特徴であり、電極層82と保護層81との積層構造とする。電極層82は、下部電極4の電極層と同様に白金、白金合金、イリジウム(Ir)、IrO<sub>y</sub>等で構成することができる。保護層81は、水素ガス雰囲気下での加熱の際に電極層82を通過する水素ガスによる内部の強誘電体層6が還元されることを保護する層であり、酸化物導電性材料から構成される。この酸化物導電性材料としては、例えば短周期型周期表において8族元素の元素を含む酸化物を挙げることができ、例えばRuO<sub>2</sub>、IrO<sub>2</sub>、OsO<sub>2</sub>等のルチル構造の化合物、SrRuO<sub>3</sub>、SrIrO<sub>3</sub>、ReO<sub>3</sub>等のペロブスカイト構造の化合物を用いることができる。これらの酸化物は導電性を有し、電極層82との積層構造とした場合に、積層構造の電極8を構成することができる。また、容易に還元される酸化物であり、自身が水素ガスにより還元されることにより、内部の強誘電体層を水素ガスによる還元から保護することができる。保護層が還元された場合、導電性のある金属に変化するため、還元されても電極として機能する。そのため、強誘電体層の保護電極層として有効に機能する。この機能により、図1に示すように、電極層82と強誘電体層6との間に介在するように配置してもよく、あるいは図2に示すように、電極層82の上に配置してもよい。なお、IrO<sub>2</sub>は、電極層としても用いられる。したがって、IrO<sub>2</sub>を保護層として用いる場合、電極層は白金膜、あるいはIr膜を選択することになる。

【0016】酸化物導電性材料の成膜方法は、例えばレーザーアブレーション法やスパッタリング法、MOCVD法により直接酸化物導電性材料層を形成することができる。また、Ru、Ir等の金属層を蒸着した後、例えば酸素雰囲気下で強誘電体膜をアニールする際に金属層を酸化したり、別途酸化行程を設けるなどの方法により、酸化する方法も採用することができる。

【0017】保護層81の厚さは、強誘電体層6の保護層としての効果を損なわずに、キャパシタ全体への影響

をできるだけ低減するために、10～50nm程度とすることが好適である。なお、上部電極8と下部電極4のそれぞれの厚さ、抵抗はできるだけ等しい方が好ましい。

【実施例1】高抵抗シリコン基板上に熱酸化膜のSiO<sub>2</sub>を約300nm成膜した後、スパッタリング法により下部電極層であるTi、Ptをそれぞれ30nm、200nm成膜した。これの上にMOD法により強誘電体Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>を300nm成膜した。成膜後、Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>の結晶化温度は酸素雰囲気の下で700～800℃とした。これの上に更に上部電極として、スパッタリング法により、Ruを50nm、Ptを100nm順次成膜し、キャパシタ構造を作成した。その後、酸素雰囲気の下で2次アニールを施した。この2次アニールを施した後、上部電極層のRuは酸化されRuO<sub>2</sub>となった。図3(a)にこのときのキャパシタの強誘電ヒステリシスカーブを示す。その後、420～450℃の温度範囲で5%H<sub>2</sub> 95%N<sub>2</sub>ガスを3l/minの流量で流す条件でフォーミング・アニールを行った。フォーミング・アニール後の強誘電ヒステリシスカーブを図3(b)に示す。図3から明らかなように、フォーミング・アニール後も強誘電特性の劣化は見られなかった。

【実施例2】高抵抗シリコン基板上に熱酸化膜のSiO<sub>2</sub>を約300nm成膜した後に、スパッタリング法により下部電極層であるTi、Ptを順次それぞれ30nm、200nm成膜した。この白金膜の上に、MOD法により強誘電体Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>を300nm成膜した。このとき、Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>の結晶化温度は酸素雰囲気の下で700～800℃とした。これの上に更に上部電極層としてスパッタリング法によりIrを50nm、Ptを100nm順次成膜しキャパシタ構造を作成し、その後酸素雰囲気下で2次アニールを施した。この2次アニールを施した後、上部電極層のIrは酸化され、IrO<sub>2</sub>となった。

【0018】この実施例2においても、その後のフォーミング・アニール後の強誘電体特性の劣化は見られなかった。

【実施例3】高抵抗シリコン基板上に熱酸化膜のSiO<sub>2</sub>を約300nm成膜した後に、スパッタリング法により下部電極層であるTi、Ptを順次それぞれ30nm、200nm成膜した。この白金膜の上に、MOD法により強誘電体Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>を300nm成膜した。このとき、Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>の結晶化温度は酸素雰囲気の下で700～800℃とした。これの上に更に上部電極層としてスパッタリング法によりRhを50nm、Ptを100nm順次成膜しキャパシタ構造を作成し、その後酸素雰囲気下で2次アニールを施した。この2次アニールを施した後、上部電極層のRhは酸化され、RhO<sub>2</sub>となった。

【0019】この実施例3においても、その後のフォーミング・アニール後の強誘電体特性の劣化は見られなかった。

【実施例4】高抵抗シリコン基板上に熱酸化膜のSiO<sub>2</sub>を約300nm成膜した後に、スパッタリング法により下部電極層であるTi、Ptを順次それぞれ30nm、200nm成膜した。この白金膜の上に、MOD法により強誘電体Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>を300nm成膜した。このとき、Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>の結晶化温度は酸素雰囲気の下で700～800℃とした。これの上に更に上部電極層としてスパッタリング法によりSrRuO<sub>3</sub>を50nm、Ptを100nm順次成膜しキャパシタ構造を作成し、その後酸素雰囲気下で2次アニールを施した。

【0020】この実施例4においても、その後のフォーミング・アニール後の強誘電体特性の劣化は見られなかった。

【実施例5】高抵抗シリコン基板上に熱酸化膜のSiO<sub>2</sub>を約300nm成膜した後に、スパッタリング法により下部電極層であるTi、Ptを順次それぞれ30nm、200nm成膜した。この白金膜の上に、MOD法により強誘電体Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>を300nm成膜した。このとき、Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>の結晶化温度は酸素雰囲気の下で700～800℃とした。これの上に更に上部電極層としてスパッタリング法によりSrIrO<sub>3</sub>を50nm、Ptを100nm順次成膜しキャパシタ構造を作成し、その後酸素雰囲気下で2次アニールを施した。

【0021】この実施例5においても、その後のフォーミング・アニール後の強誘電体特性の劣化は見られなかった。

【比較例】高抵抗シリコン基板上に熱酸化膜のSiO<sub>2</sub>を約300nm成膜した後に、スパッタリング法により下部電極層であるTi、Ptを順次それぞれ30nm、200nm成膜した。この白金膜の上に、MOD法により強誘電体Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>を300nm成膜した。このとき、Bi<sub>2</sub>SrTa<sub>2</sub>O<sub>9</sub>の結晶化温度は酸素雰囲気の下で700～800℃とした。これの上に更に上部電極層としてスパッタリング法によりPtを100nm順次成膜しキャパシタ構造を作成し、その後酸素雰囲気下で2次アニールを施した。2次アニールの温度は、酸素雰囲気下で700～800℃とした。図7

(a)にこのときのキャパシタの強誘電ヒステリシスカーブを示す。その後、420～450℃の温度範囲で5%H<sub>2</sub> 95%N<sub>2</sub>ガスを3l/minの流量で流す条件でフォーミング・アニールを行った。フォーミング・アニール後の強誘電ヒステリシスカーブを図7(b)に示す。図7から明らかなように、フォーミング・アニール後の強誘電特性は劣化している。

【0022】また、図8に、実施例1と比較例とのそれ

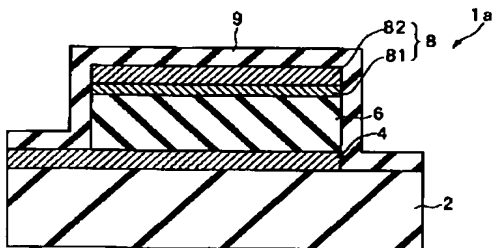
7

ぞれのサンプルのフォーミング・アニール前後での強誘電体特性の変化を比較した図を示す。図の縦軸は、強誘電体キャパシタの残留分極値をフォーミングアニール前の値で規格化した値である。この図から、比較例のサンプルでは残留分極値がフォーミングアニールで31%も減少しているのに対し、実施例1のサンプルでは劣化が生じていない。

【0023】以上から、本発明による強誘電体キャパシタ構造では、上部電極層として、電極層と保護層との積層構造としてことにより、水素ガス中でのフォーミングアニール後も特性劣化が生じない構造を実現できることが認められる。特性が劣化しなければ、これまで必要としていた特性回復プロセスを省略することができ、スループット向上に大変有効である。

【0024】本発明のキャパシタ構造は、例えば強誘電体不揮発性メモリのキャパシタに適用することができる。1T/1Cの不揮発性メモリの一形態の断面図を図4に示す。この不揮発性メモリ10は、基板11の素子分離絶縁膜21で分離された領域に選択トランジスタTrが形成され、一方基板11から層間絶縁膜22を介して離間してキャパシタCapが形成され、このキャパシタCapは層間絶縁膜23で被覆されている。キャパシタCapは、下地層の層間絶縁膜22の上から、例えばTi膜からなるバッファ層41と白金膜からなる電極層42とから構成される下部電極層4、強誘電体層6、及び保護層81と電極層82との積層構造の上部電極層8とが順次積層された構造を有する。下部電極層4はコンタクト配線32を介して選択トランジスタTrのソース12と接続されており、上部電極8がプレート線33と接続されている。選択トランジスタTrのドレイン13は図示しないビット線と接続されている。また、選択トランジスタTrのゲート電極31は、ワード線を構成する。

【図1】



8

【0025】このような構造の強誘電体不揮発性メモリにおいては、トランジスタの劣化を回復させるフォーミング・アニールの前後でキャパシタの特性劣化が生じず、そのため、トランジスタの特性を回復させる工程が不要であり、スループットが向上したものである。

【0026】

【発明の効果】本発明のキャパシタ構造は、トランジスタの劣化を回復させるフォーミング・アニールの前後でキャパシタの特性劣化が生じ難いものである。

10 【図面の簡単な説明】

【図1】本発明のキャパシタ構造の一形態を示す断面図である。

【図2】本発明のキャパシタ構造の他の形態を示す断面図である。

【図3】実施例で作成したキャパシタ構造の強誘電体ヒステリシスカーブを示すもので、(a)はフォーミング・アニール前のもの、(b)はフォーミング・アニール後のものを示す。

20 【図4】本発明のキャパシタ構造を強誘電体不揮発性メモリに適用した例を示す断面図である。

【図5】従来のキャパシタ構造を示す断面図である。

【図6】強誘電体のヒステリシスカーブを示すグラフである。

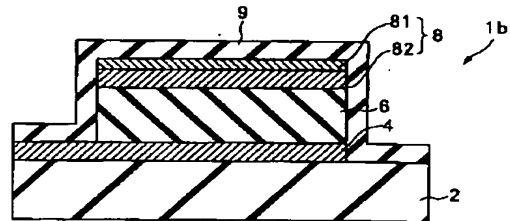
【図7】従来の強誘電体キャパシタ構造のヒステリシスカーブを示すもので、(a)はフォーミング・アニール前のもの、(b)はフォーミング・アニール後のものを示す。

【図8】強誘電体キャパシタ構造の残留分極値をフォーミング・アニール前の値で規格化したグラフである。

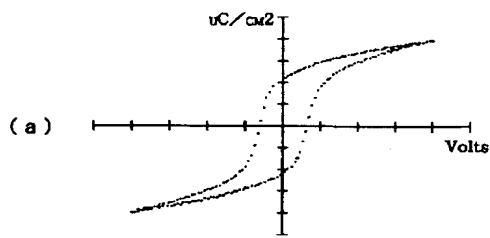
30 【符号の説明】

1a、1b…強誘電体キャパシタ、2…下地層、4…強誘電体層、81…保護層、82…電極層、8…上部電極層

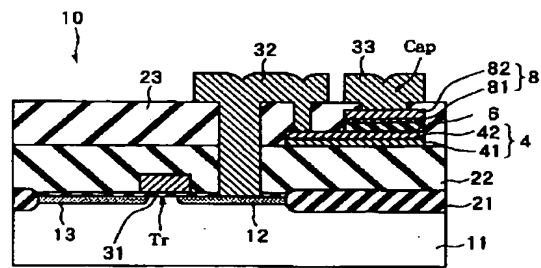
【図2】



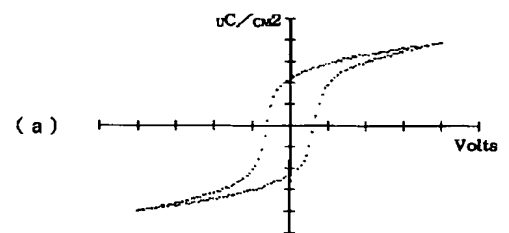
【図3】



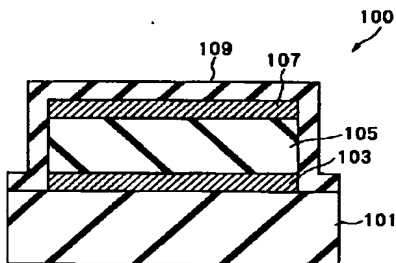
【図4】



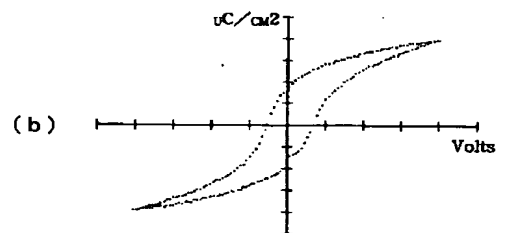
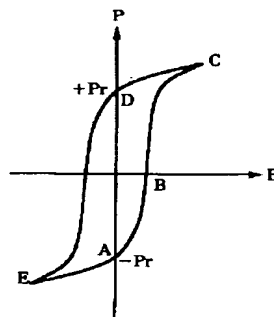
【図7】



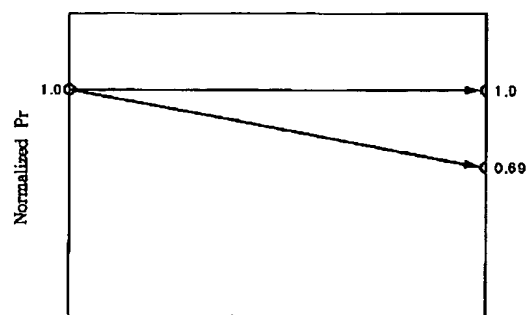
【図5】



【図6】



【図8】



フォーミング・アニール前

フォーミング・アニール後

フロントページの続き

(51) Int. Cl. <sup>6</sup>

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所